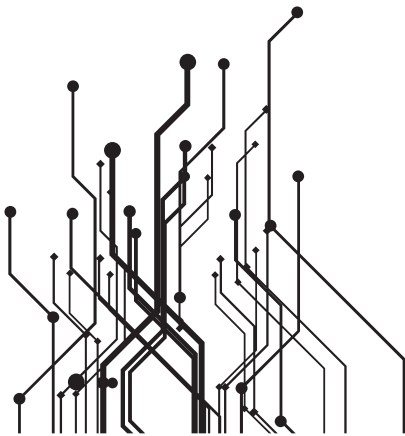


▪ Carlos Omar Ramos Linares,
Leonardo Juan Ramírez López
y Edward Paul Guillén Pinto ▪

Circuitos digitales básicos con énfasis en telecomunicaciones




Editorial
Neogranadina

Catalogación en la publicación – Biblioteca Nacional de Colombia

Ramos Linares, Carlos Omar

Circuitos digitales básicos con énfasis en telecomunicaciones / Carlos Omar Ramos

Linares, Leonardo Juan Ramírez López y Edward Paul Guillén Pinto. -- Bogotá : Universidad Militar Nueva Granada, 2019.

P.

Incluye datos curriculares de los autores.

ISBN 978-958-8795-82-9 -- 978-958-8795-83-6 (digital)

1. Circuitos integrados digitales 2. Comunicaciones digitales

3. Electrónica digital I. Ramírez López, Leonardo Juan II. Guillén Pinto, Edward Paul III.

Título

CDD: 621.3815ed. 23

CO-BoBN- a1049763

Circuitos digitales básicos con énfasis en telecomunicaciones

© Carlos Omar Ramos Linares

© Leonardo Juan Ramírez López

© Edward Paul Guillén Pinto

© Universidad Militar Nueva Granada

Colección Docencia

© Vicerrectoría de Investigaciones

© Editorial Neogranadina

Bogotá, Colombia

editorial.neogranadina@unimilitar.edu.co



Introducción a la dinámica de sistemas en la ingeniería industrial

© Fernando González Becerra

© Universidad Militar Nueva Granada

Colección Docencia

© Vicerrectoría de Investigaciones

© Editorial Neogranadina

Bogotá, Colombia

editorial.neogranadina@unimilitar.edu.co

■ Carlos Omar Ramos Linares,
Leonardo Juan Ramírez López
y Edward Paul Guillén Pinto ■

CIRCUITOS DIGITALES BÁSICOS CON ÉNFASIS EN TELECOMUNICACIONES

Cómo citar:

APA:

Ramos Linares, C. O., Guillén Pinto, E., y Ramírez López, L. (2019). *Circuitos digitales básicos con énfasis en telecomunicaciones*. Bogotá: Editorial Neogranadina.

MLA:

Ramos Linares, Carlos Omar, Edward Paul Guillén Pinto y Leonardo Juan Ramírez López. *Circuitos digitales básicos con énfasis en telecomunicaciones*. Bogotá: Editorial Neogranadina, 2019.

Chicago:

Ramos Linares, Carlos Omar, Edward Paul Guillén Pinto y Leonardo Juan Ramírez López. *Circuitos digitales básicos con énfasis en telecomunicaciones*. Colección Docencia. Bogotá: Editorial Neogranadina, 2019.

Circuitos digitales básicos con énfasis en telecomunicaciones

Carlos Omar Ramos Linares*, Leonardo Juan Ramírez López** y Edward Paul Guillén Pinto***

RESUMEN Este libro se propone ser una guía para las asignaturas sobre circuitos digitales, electrónica digital y comunicaciones digitales de los primeros semestres de ingeniería. Tiene un énfasis en los sistemas de comunicaciones y está acompañado de múltiples ejercicios prácticos, dirigidos a estudiantes técnicos, tecnólogos y profesionales. Además, ofrece una breve explicación y diferenciación de los sistemas analógicos y digitales, así como un repaso sobre los diferentes sistemas numéricos, los sistemas de conversión y los conceptos relacionados con unidades y normas. Asimismo, el libro abarca los principios de la aritmética binaria y analiza los principios básicos de los circuitos digitales y los principios electrónicos de utilidad para las prácticas.

PALABRAS CLAVE

comunicaciones digitales; circuitos; sistemas digitales; teoría en comunicaciones.

DOI: <http://dx.doi.org/10.18359/rcin.1671>

* Profesor asociado e investigador junior por Colciencias de la Universidad Militar Nueva Granada.
Contacto: carlos.ramos@unimilitar.edu.co.

** Profesor titular, investigador asociado por Colciencias y líder del grupo de investigación en Telemedicina de la Universidad Militar Nueva Granada.
Contacto: leonardo.ramirez@unimilitar.edu.co.

*** Profesor asociado, investigador asociado por Colciencias, líder del grupo de investigación en Seguridad y Comunicaciones y director del programa de Ingeniería en Telecomunicaciones de la umng. Contacto: edward.guillen@unimilitar.edu.co.

Basic Digital Circuits with Emphasis on Telecommunications

Carlos Omar Ramos Linares*, Leonardo Juan Ramírez
López** y Edward Paul Guillén Pinto***

ABSTRACT This book intends to be a guide for subjects on digital circuits, digital electronics, and digital communications in the first semesters of engineering. It emphasizes communication systems—accompanied by multiple practical exercises—, aimed at technical students, technologists, and professionals. It offers a brief explanation and differentiation of analog and digital systems and a review of various numerical systems, conversion systems and concepts related to units and standards. It also covers the principles of binary arithmetic and analyzes the basic principles of digital circuits and the electronic principles that are useful for practice.

KEYWORDS

digital communications; circuits; digital systems; theory of communications.

DOI: <http://dx.doi.org/10.18359/rcin.1671>

*Full-time Professor at Universidad Militar Nueva Granada.

E-mail: fernando.gonzalez@unimilitar.edu.co.

Contenido

Introducción	45
1. Sistemas analógicos y digitales	49
Ejercicios	57
2. Sistemas numéricos	59
Sistema decimal	62
Sistema binario	62
Sistema octal	64
Sistema hexadecimal	65
Convertir un número de base 10 en otro sistema	66
Conversión entre sistemas	69
Conceptos relacionados con el sistema binario	70
Bit	70
Byte	71
Clasificación de palabra (<i>Word</i>)	71
Formato IEEE 754 para punto flotante	71
Uso de hojas de cálculo en aritmética binaria	74
Comandos usados para la conversión	74
Calculadora de programador	79
Ejercicios	81
3. Aritmética binaria	85
Suma binaria	87
Resta binaria	89
Complemento de un número	90
Complemento a 2 de un número binario	92

Resta usando el complemento a 2	92
Producto binario	93
División binaria	95
Ejercicios	99
 4. Circuitos básicos para digitales	 103
Múltiplos y submúltiplos	105
Conceptos	106
Voltaje	106
Corriente	106
Resistencia	106
Ley de Ohm	106
Frecuencia	106
Periodo	107
Elementos básicos en electrónica	107
Resistencia	107
Condensador	109
Diodo	109
Diodo emisor de luz (LED)	110
Interruptor DIP	112
El transistor como interruptor	113
Relevos	116
Optosensores	117
Uso de la <i>protoboard</i>	120
Laboratorio generador del sistema binario	121
Ejercicios	123
 5. Códigos binarios	 127
Código binario de representación decimal (BCD natural)	129
Código reflejado o de Gray	130
Código de exceso 3	131
Códigos alfanuméricos	132

Código ASCII (<i>American Standard Code for Information Interchange</i>)	133
Formato Unicode	135
Códigos de paridad	135
Código de paridad impar	135
Código de paridad par	136
Corrector de errores	137
Ejercicios	141
 6. Compuertas lógicas	 147
Lógica binaria	149
Compuerta AND	150
Compuerta OR	152
Compuerta YES (búfer)	154
Compuerta NOT (inversor)	156
Compuerta NAND (NO AND)	157
Compuerta NOR	159
Compuertas lógicas en circuitos integrados	160
Consideraciones sobre las compuertas	162
Ejercicios	163
 7. Funciones lógicas	 167
Implementación de funciones	169
Circuito de entrada	171
Circuito lógico	171
Circuito de salida	172
Montaje del circuito en la <i>protoboard</i>	173
Compuerta OR exclusiva (OR-EX)	175
Compuerta NOR exclusiva (NOR-EX)	178
Ejercicios	181

8. Álgebra de Boole	185
Propiedades básicas	187
Ley asociativa	188
Ley conmutativa	188
Identidades	189
Ley distributiva	190
Absorción	191
Teorema de involución	191
Teorema de DeMorgan	191
Simplificación de funciones	193
Componentes y complementos de una función	196
Términos de una función	196
Mintérminos	197
Maxtérminos	200
Compuertas con álgebra de Boole	200
Implementación de funciones con NAND y NOR	203
Funciones solo con compuertas NOR	203
Funciones solo con compuertas NAND	207
Ejercicios	211
9. Mapas de Karnaugh	215
Geometría de los MK	217
Aplicación de funciones en MK	218
Consideraciones del MK	220
Reglas para simplificar	222
Explicación de la simplificación del MK	224
Condiciones <i>no importa</i>	226
Mapas de Karnaugh para OR-EX	227
Implementación con maxtérminos	228
Mapas de Karnaugh para 5 variables	231
Ejercicios	235

10. Lógica combinacional	239
Reglas del diseño	242
Sumador medio	242
Sumador completo	244
Circuito integrado sumador de 4 bits 74LS83	245
Restador medio	247
Restador completo	248
Conversores de código	250
Conversor de código binario a código de Gray	250
Conversor de código BCD natural a código BCD Aiken	253
Visualizadores (<i>displays</i>) alfanuméricos	255
<i>Displays</i> de 7 segmentos	255
<i>Displays</i> de 14 y 16 segmentos	257
Diseño de un decodificador con <i>displays</i>	257
Decodificadores comerciales de código BCD a <i>displays</i> de 7 segmentos	261
Otros ejemplos de la lógica combinacional	262
Ejercicios	267
11. Bloques de la lógica combinacional	271
Decodificadores	273
Demultiplexores (DMUX)	277
Multiplexores (MUX)	279
Codificadores (<i>encoders</i>)	285
Ejercicios	289
12. Lógica secuencial	293
Multivibradores	296
<i>Flip-flop</i> RS (FF RS)	296
FF RS con compuertas NAND	296
FF RS con compuertas NOR	300
Diseño de un FF con entradas de control	301

Ecuación de estado del FF RS	302
Tabla de excitación del FF RS	304
<i>Flip-flop</i> data (FF D)	305
Ecuación de estado del FF D	306
Tabla de excitación del FF D	306
<i>Flip-flop</i> JK (FF JK)	307
Ecuación de estado del FF JK	307
Tabla de excitación del FF JK	308
Generadores de pulsos	309
Oscilador de onda cuadrada con Amp Op	309
Circuito integrado LM555	312
Circuito astable	313
Circuito monoestable	316
Lógica secuencial asíncrona	317
Contador binario con FF D	318
Contador binario con JK	320
El integrado 74LS93 - contador binario programable	321
Lógica secuencial síncrona	325
Secuenciadores	326
Contadores síncronos	330
Registros	331
Aplicaciones de la lógica secuencial	333
Tacómetro	334
Dado digital	339
Motor paso a paso	342
Ejercicios	349
Referencias	353
Índice analítico	359

Índice de tablas y figuras

Figuras

Figura 1.1. Representación de un sistema.	52
Figura 1.2. Conversión de una señal continua en discreta. En la figura: a) señal continua; b) conversor; c) señal discreta escalonada; d) señal binaria.	52
Figura 1.3. Gráfica correspondiente a la ecuación 1.1.	53
Figura 1.4. Proceso de una señal que va de análoga a digital en un sistema de comunicación: a) fuente de información que genera una señal análoga; b) señal analógica; c) sistema conversor de digital a analógico; d) señal digitalizada serial; e) señal de radio digital viajando hacia el receptor; f) receptor conversor analógico digital; g) señal digital serializada en receptor; h) parlante que convierte a señal análoga; i) destino.	54
Figura 1.5. Ejemplo de una aplicación con un sistema digital controlado para posicionar una antena.	55
Figura 2.1. Ejercicios de conversión en una hoja de cálculo.	75
Figura 2.2. Ejemplo del uso de funciones lógicas en una hoja de cálculo.	76
Figura 2.3. Hoja de cálculo de Google Docs que muestra la conversión de decimal a binario.	77

Figura 2.4. Hoja de cálculo de Excel que muestra la función para convertir de decimal a binario.	77
Figura 2.5. Conversión del número de una celda a otros sistemas binarios en Excel.	78
Figura 2.6. Presentación del caso anterior en Google Docs.	78
Figura 2.7. Aspecto visual de la presentación de la hoja de cálculo en OpenOffice.	78
Figura 2.8. Aspecto visual de las calculadoras de Windows: a) científica, b) programador de Windows 7, c) programador de Windows 10.	79
Figura 3.1. Componentes de una suma.	88
Figura 4.1. Aspecto físico de las resistencias y su símbolo.	107
Figura 4.2. Código de colores para las resistencias y ejemplos.	108
Figura 4.3. Valores numéricos para las resistencias.	108
Figura 4.4. Aspecto de algunos tipos de condensadores y sus símbolos.	109
Figura 4.5. Tres presentaciones comerciales del diodo y su símbolo.	110
Figura 4.6. Aspecto de un LED y su respectivo símbolo. Las flechas señalan cómo reconocer el cátodo.	110
Figura 4.7. Circuito para un LED con las variables necesarias para el cálculo de la resistencia.	111
Figura 4.8. a) Aspecto de un <i>dipswitch</i> de 8 interruptores y b) su símbolo.	113
Figura 4.9. Circuitos generadores de 1s y 0s: a) inversor y b) no inversor.	113
Figura 4.10. Diferentes presentaciones del transistor y sus símbolos.	114

Figura 4.11. Esquema de presentación de los terminales del transistor con respecto a sus valores resistivos.	114
Figura 4.12. Procedimiento para determinar los terminales de un transistor usando un multímetro digital (DMM). a) Identificación del colector; b) identificación del emisor, con mayor valor. La base es el terminal común.	115
Figura 4.13. Analogía entre a) un interruptor activado manualmente y b) un transistor como conmutador.	116
Figura 4.14. Relevé: a) aspecto físico, b) composición interna y c) símbolo.	116
Figura 4.15. Uso del relevé, comandado por un transistor para encender una lámpara.	117
Figura 4.16. a) Aspecto físico de un optoacoplador con fototransistor y b) su símbolo.	118
Figura 4.17. Uso del fototransistor como generador de 1s y 0s.	118
Figura 4.18. Uso del fototransistor para encender una luz con una linterna.	119
Figura 4.19. a) Aspecto de una fotorresistencia y b) su símbolo.	119
Figura 4.20. Uso de la fotorresistencia como detector de oscuridad para encender luces.	120
Figura 4.21. Aspecto físico de la <i>protoboard</i> en el que se muestra cómo están interconectados los agujeros de inserción de elementos.	120
Figura 4.22. Montaje del circuito detector de oscuridad con LDR.	121
Figura 4.23. Práctica del sistema binario usando generadores de 1s y 0s.	122
Figura 4.24. Resistencias para el ejercicio 1.	123

Figura 4.25. Circuitos para el ejercicio 4.	123
Figura 4.26. Circuito para el ejercicio 5.	124
Figura 4.27. Circuito para el ejercicio 6.	124
Figura 4.28. Circuito con LDR para el ejercicio 7.	124
Figura 4.29. Circuito para el ejercicio 8.	124
Figura 5.1. Disco que contiene el código de Gray para controlar la rotación de un eje.	131
Figura 6.1. Definición de los niveles de voltaje para los estados lógicos en los circuitos.	150
Figura 6.2. Circuito eléctrico que representa una compuerta AND de dos entradas.	151
Figura 6.3. Compuerta AND: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	151
Figura 6.4. Comportamiento de una compuerta AND con muchas entradas.	152
Figura 6.5. Circuito eléctrico que representa una compuerta OR de dos entradas.	153
Figura 6.6. Compuerta OR: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	153
Figura 6.7. Comportamiento de una compuerta OR con muchas entradas.	154
Figura 6.8. Circuito eléctrico que representa una compuerta YES.	155
Figura 6.9. Compuerta YES: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	155
Figura 6.10. Uso del búfer como refuerzo de corriente para alimentar otros circuitos.	156

Figura 6.11. Circuito que muestra el comportamiento del inversor.	156
Figura 6.12. Compuerta NOT: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	157
Figura 6.13. Circuito eléctrico que representa una compuerta NAND de dos entradas.	157
Figura 6.14. Compuerta NAND: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	158
Figura 6.15. Circuito eléctrico que representa una compuerta NOR de dos entradas.	159
Figura 6.16. Compuerta NOR: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	159
Figura 6.17. Paquetes de encapsulamiento de circuitos integrados.	161
Figura 6.18. Disposición de los terminales de las compuertas en los circuitos integrados, con su respectiva denominación comercial.	161
Figura 6.19. Trama del ejercicio 1.	163
Figura 6.20. Compuerta AND para el ejercicio 2.	163
Figura 6.21. Compuerta AND para el ejercicio 3.	163
Figura 6.22. Compuerta OR para el ejercicio 4.	164
Figura 6.23. Compuerta OR para el ejercicio 5.	164
Figura 6.24. Circuito para el ejercicio 6.	164
Figura 6.25. Circuito para el ejercicio 7.	164
Figura 7.1. Implementación de una función en un circuito en tres bloques.	170
Figura 7.2. Circuito de entrada de la función del ejemplo 1.	171

Figura 7.3. Circuito lógico de la función del ejemplo 1.	172
Figura 7.4. Circuito de salida que comanda una alarma.	173
Figura 7.5. Montaje en la <i>protoboard</i> del ejemplo 1, el de la función de la alarma.	173
Figura 7.6. Circuito para la función del ejemplo 2.	174
Figura 7.7. Montaje en la <i>protoboard</i> para la función del ejemplo 2.	175
Figura 7.8. Circuito eléctrico que representa una compuerta OR-EX de dos entradas.	176
Figura 7.9. Compuerta OR-EX: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	176
Figura 7.10. Circuito compuesto para la compuerta OR-EX.	177
Figura 7.11. Distribución de terminales del circuito integrado 74LS86.	178
Figura 7.12. Circuito eléctrico que representa una compuerta NOR-EX de dos entradas.	178
Figura 7.13. Compuerta NOR-EX: a) símbolo estándar, b) símbolo normalizado y c) funciones lógicas.	179
Figura 7.14. Circuito compuesto para la compuerta NOR-EX.	179
Figura 7.15. Esquema para el ejercicio 6.	181
Figura 7.16. Esquema para el ejercicio 7.	181
Figura 7.17. Esquema para el ejercicio 8.	182
Figura 7.18. Esquema para el ejercicio 9.	182
Figura 7.19. Esquema para el ejercicio 10.	182
Figura 8.1. Ley asociativa para la compuerta AND: a) $F = xyz$. b) $F = (xy)z$. c) $F = x(yz)$.	188

Figura 8.2. Ley asociativa para la compuerta OR: a) $F = x + y + z$. b) $F = (x + y) + z$. c) $F = x + (y + z)$.	188
Figura 8.3. Ley conmutativa para la compuerta AND.	188
Figura 8.4. Ley conmutativa para la compuerta OR.	189
Figura 8.5. Comportamiento de las compuertas AND y OR para una entrada con 0.	189
Figura 8.6. Comportamiento de las compuertas AND y OR para una entrada con 1.	189
Figura 8.7. El ingreso de una misma variable a las entradas de las compuertas AND u OR produce la misma salida.	190
Figura 8.8. Ingreso de una variable y su complemento a las compuertas AND y OR.	190
Figura 8.9. Teorema de la involución.	191
Figura 8.10. Circuito equivalente del teorema de DeMorgan para la compuerta NOR.	192
Figura 8.11. Circuito equivalente del teorema de DeMorgan para la compuerta NAND.	192
Figura 8.12. Implementación del circuito para la función del ejemplo 3.	195
Figura 8.13. Circuito reducido para la función del ejemplo 3.	196
Figura 8.14. Circuitos equivalentes para el inversor. En la figura: a) inversor, b) con compuerta NAND, c) con compuerta NOR.	201
Figura 8.15. Circuito equivalente para la compuerta OR usando NOR.	201
Figura 8.16. Circuito equivalente para la compuerta AND con solo NAND.	201

Figura 8.17. Circuito equivalente para la compuerta NOR con solo NAND.	202
Figura 8.18. La compuerta OR-EX como búfer.	202
Figura 8.19. La compuerta OR-EX como inversor.	202
Figura 8.20. Comparación entre una función de pocos literales y una expandida solo con compuertas NOR.	204
Figura 8.21. Implementación del circuito de la función del ejemplo 9.	205
Figura 8.22. Aplicación del álgebra booleana en la función anterior. El corchete rojo indica involución.	206
Figura 8.23. Resultado final de la implementación del ejemplo 9, solo con compuertas NOR.	206
Figura 8.24. Implementación de la función $F = A + B' C$ original y con solo compuertas NAND.	207
Figura 8.25. Implementación del circuito de la función original del ejemplo 11.	208
Figura 8.26. Aplicación del álgebra de Boole en la función para hallar equivalentes del teorema de DeMorgan.	208
Figura 8.27. Circuito final para el ejemplo 11, solo con compuertas NAND.	209
Figura 8.28. Compuertas de cuatro entradas para el ejercicio 8.	211
Figura 8.29. Circuito lógico para el ejercicio 9.	212
Figura 8.30. Circuito para el ejercicio 14.	212
Figura 9.1. Diferentes geometrías de los mapas de Karnaugh.	218
Figura 9.2. Ubicación del mintérmino 0 en el mapa de Karnaugh.	219

Figura 9.3. El mapa de Karnaugh sin fin tanto a) horizontal como b) vertical.	221
Figura 9.4. Ya que el mapa de Karnaugh es una tabla sin fin, se pueden considerar réplicas continuas y sus esquinas son consecutivas.	221
Figura 9.5. Forma adecuada de agrupar 1s: a) para uno, dos y cuatro 1s; b) para ocho 1s; c) para dieciséis 1s.	222
Figura 9.6. El carácter de tabla sin fin permite: a) el agrupamiento de 1s en las esquinas; b) grupo de 1s continuos en bordes.	222
Figura 9.7. Ejemplo de aplicación de la primera regla para el mapa de Karnaugh.	224
Figura 9.8. Reducción de la función $F = \Sigma(0, 2, 6, 8, 9, 10, 11, 12, 13, 15)$.	226
Figura 9.9. Reducción de la función del ejemplo 7 con la condición <i>no importa</i> .	227
Figura 9.10. Uso de los mapas de Karnaugh con disposición diferente en la numeración para obtener compuertas OR-EX.	227
Figura 9.11. Simplificación mediante compuertas NOR-EX.	228
Figura 9.12. Mapa de Karnaugh para la simplificación de la función del ejemplo 8.	228
Figura 9.13. Mapa de Karnaugh para los máx términos.	229
Figura 9.14. Simplificación de la función del ejemplo 10.	230
Figura 9.15. Implementación solo con compuertas NAND para la función del ejemplo 10.	230
Figura 9.16. Mapas de Karnaugh para los máx términos del ejemplo 11.	231

Figura 9.17. Circuito para el ejemplo 11.	231
Figura 9.18. Disposición de minterminos para el mapa de Karnaugh de 5 variables.	232
Figura 9.19. Solución de la función del ejemplo 12 para 5 variables en el mapa de Karnaugh.	232
Figura 10.1. Esquema normal de la lógica digital para una salida.	241
Figura 10.2. Esquema de la lógica combinacional.	241
Figura 10.3. Componentes de una suma.	242
Figura 10.4. Circuito del sumador medio.	243
Figura 10.5. Símbolo para el sumador completo.	244
Figura 10.6. a) Mapa de Karnaugh en formato OR-EX para solucionar S y b) mapa de Karnaugh para simplificar Co .	245
Figura 10.7. a) Circuito para el sumador completo y b) su símbolo alternativo.	245
Figura 10.8. a) Esquema del sumador de 4 bits y b) circuito integrado sumador 74LS83.	246
Figura 10.9. Implementación del sumador de cuatro bits.	246
Figura 10.10. Componentes de una resta.	247
Figura 10.11. Circuito del restador medio.	248
Figura 10.12. Símbolo del restador completo.	248
Figura 10.13. Circuito sumador/restador de cuatro bits, a partir del circuito integrado 74LS83.	250
Figura 10.14. Simplificación de las funciones del conversor de código binario a código de Gray. a) MK normal para hallar la función de w . b) MK de OR-EX para hallar la función de x . c)	

MK normal para hallar la función de y . d) MK de OR-EX para hallar la función de z .	252
Figura 10.15. Circuito conversor de código binario a código de Gray.	252
Figura 10.16. Operación para la conversión de código binario a código de Gray.	253
Figura 10.17. Mapas de Karnaugh correspondientes a la conversión de BCD natural a BCD Aiken.	254
Figura 10.18. Algunas presentaciones comerciales de <i>displays</i> de LEDS.	255
Figura 10.19. Disposición de LEDS para conformar una plantilla de caracteres.	256
Figura 10.20. Presentación circuital de los <i>displays</i> : a) disposición de los LEDS; b) ánodo común; c) cátodo común.	256
Figura 10.21. <i>Displays</i> alfanuméricos de 14 y 16 segmentos.	257
Figura 10.22. Caracteres a generar del ejemplo 1.	257
Figura 10.23. Mapas de Karnaugh para el generador de caracteres del ejemplo 1.	259
Figura 10.24. Circuito para la función de salida del segmento a .	260
Figura 10.25. Disposición de los terminales de los circuitos integrados decodificadores de código BCD a <i>displays</i> de 7 segmentos a) para ánodo común y b) para cátodo común. c) Salidas del <i>display</i> que se producirían en cada combinación de entrada.	261
Figura 10.26. Decodificador para caracteres hexadecimales: a) disposición de los terminales del circuito integrado; b) salidas del <i>display</i> que se producirían en cada combinación de entrada.	262

Figura 10.27. Proceso para la corrección de una suma en BCD cuando hay acarreo.	264
Figura 10.28. Mapas de Karnaugh para el corrector K de la suma en BCD.	264
Figura 10.29. Circuito corrector para el sumador BCD.	265
Figura 10.30. Solución del ejemplo 3 para el caso de los votantes.	266
Figura 10.31. Circuito para la solución del proceso de votación porcentual.	266
Figura 10.32. Caracteres para el ejercicio 6.	267
Figura 10.33. Caracteres para el ejercicio 7.	267
Figura 11.1. Esquema de un bloque regular para un decodificador.	273
Figura 11.2. Esquema del decodificador del ejemplo 1.	274
Figura 11.3. Circuito del decodificador 3×8 .	275
Figura 11.4. Decodificadores comerciales: a) 4×16 ; b) 3×8 ; c) dual de 2×4 .	276
Figura 11.5. Sumador completo implementado con un decodificador 74LS138.	277
Figura 11.6. Esquemas de multiplexores: a) DMUX de 1×4 ; b) DMUX de 4×2 .	278
Figura 11.7. Esquema de un demultiplexor usado en telecomunicaciones.	278
Figura 11.8. Multiplexores: a) esquema del MUX 4×1 con b) símbolo normalizado; c) esquema del MUX de 2×1 con d) símbolo normalizado.	279
Figura 11.9. Circuito lógico para un MUX de 4×1 .	280

Figura 11.10. Símbolo esquemático de un MUX usado en telecomunicaciones.	281
Figura 11.11. Aplicación del par MUX-DMUX en una comunicación.	281
Figura 11.12. Forma de tabular una función con un MUX.	283
Figura 11.13. Solución lógica para el ejemplo 3 de implementación de función con MUX.	283
Figura 11.14. Implementación del circuito lógico para la función del ejemplo 4.	285
Figura 11.15. a) Esquema lógico, con su respectiva tabla, del codificador de sistema octal a binario. b) Tabla de verdad del codificador.	286
Figura 11.16. a) Circuito lógico de un codificador de código decimal a BCD. b) Tabla de verdad.	287
Figura 11.17. Circuito decodificador para el ejercicio 7.	289
Figura 12.1. Esquema de un circuito realimentado.	295
Figura 12.2. Arreglo circuital de FF RS con compuertas NAND.	296
Figura 12.3. Análisis del funcionamiento de un FF RS con compuertas NAND en seis pasos, para obtener la tabla de verdad.	297
Figura 12.4. a) Presentación comercial del FF RS 74LS279 y b) su respectiva tabla de verdad.	299
Figura 12.5. Circuito antirrebote para usar en circuitos precisos como procesadores.	299
Figura 12.6. Análisis de funcionamiento de un FF RS con compuertas NOR para obtener la tabla de verdad.	300

Figura 12.7. a) Circuito esquemático del FF RS con entrada de reloj y de control y b) su símbolo.	301
Figura 12.8. a) Esquema básico del FF RS y b) su símbolo.	302
Figura 12.9. El mapa de Karnaugh y la función simplificada, llamada ecuación de estado.	304
Figura 12.10. a) Circuito básico, b) símbolo y c) tabla de verdad del FF D.	305
Figura 12.11. Tabla de estado, mapa de Karnaugh y símbolo para una presentación del FF D.	306
Figura 12.12. Símbolo y tabla de verdad para el FF JK.	307
Figura 12.13. Tabla de verdad, mapa de Karnaugh y ecuación de estado resultante para el FF JK.	308
Figura 12.14. a) Circuito de un oscilador de onda cuadrada con sus señales de onda. b) Esquema del Amp Op LM741.	310
Figura 12.15. Formas de onda del oscilador para cálculos.	311
Figura 12.16. Interior del circuito integrado LM555 y su presentación.	312
Figura 12.17. Configuración del circuito astable con el LM555.	313
Figura 12.18. Formas de onda sobre el condensador y la salida del LM555.	314
Figura 12.19. Solución del ejemplo 2 para el circuito astable.	315
Figura 12.20. Circuito astable para lograr un ciclo útil del 50 % con el LM555.	316
Figura 12.21. Circuito monoestable para 25 segundos con el LM555.	317

Figura 12.22. Representación de los sistemas a) asíncronos y b) síncronos.	318
Figura 12.23. Disposición de tres FF tipo D para obtener un contador binario y un divisor de frecuencia.	319
Figura 12.24. Diagrama de tiempos para el circuito de la figura 12.23.	319
Figura 12.25. Contador binario ascendente con FF JK.	320
Figura 12.26. Diagrama de tiempos para el circuito de la figura 12.25.	321
Figura 12.27. Composición interna del contador binario 74LS93.	322
Figura 12.28. Ejemplo de conexión del integrado 74LS93 para el contador de 0 a 9.	323
Figura 12.29. Diagrama de tiempos para la programación de conteo de 0 a 9 con el circuito integrado 74LS93.	323
Figura 12.30. Esquema de conexión para el ejemplo 3.	324
Figura 12.31. Diagrama de tiempo del ejemplo 3 para el MOD 13.	325
Figura 12.32. Retardos debidos a cada FF en la lógica asíncrona.	326
Figura 12.33. Mapas de Karnaugh y ecuaciones resultantes para el ejemplo 4.	329
Figura 12.34. Circuito del secuenciador del ejemplo 4.	329
Figura 12.35. Esquema de implementación de un contador síncrono de 0 a 999 con el CD4520B.	331
Figura 12.36. Esquema de un registro.	332
Figura 12.37. Registro de desplazamiento universal.	332

Figura 12.38. Distribución de terminales del registro 74LS595.	333
Figura 12.39. Presentación externa del tacómetro.	334
Figura 12.40. Componentes del tacómetro. Se muestra el optoacoplador en perspectiva.	335
Figura 12.41. Diagrama en bloques del funcionamiento del circuito electrónico.	335
Figura 12.42. Temporizador de 10 segundos.	336
Figura 12.43. Medidas sugeridas para la rueda de sensado.	336
Figura 12.44. a) Contador BCD de tres dígitos. b) Decodificador de 7 segmentos.	337
Figura 12.45. <i>Display</i> de tres dígitos BC56-12.	337
Figura 12.46. Circuito de sensado en la rueda.	338
Figura 12.47. Circuito de visualización.	339
Figura 12.48. Presentación externa del dado digital y la distribución de LEDS correspondiente, con su denominación.	340
Figura 12.49. Mapas de Karnaugh para las salidas de la tabla de verdad del dado digital.	341
Figura 12.50. Circuito de ingreso y conteo para el dado digital.	341
Figura 12.51. Circuito lógico para el dado digital.	342
Figura 12.52. Estructura de un motor paso a paso y sus tipos comerciales.	343
Figura 12.53. Disposición de las bobinas con relación al rotor del motor paso a paso.	344
Figura 12.54. a) Circuito de amplificación y protección al usar bobinas. b) El esquema del ULN2003.	345

Figura 12.55. Mapas de Karnaugh para el circuito lógico del motor paso a paso.

346

Figura 12.56. Circuito de implementación de un *driver* para motor paso a paso.

347

Tablas

Tabla 2.1. Funciones de conversión con los tres sistemas de hojas de cálculo.	75
Tabla 2.2. Algunas funciones lógicas con las hojas de cálculo.	76
Tabla 2.3. Equivalentes de algunos números de base 10 en binario, octal y hexadecimal.	80
Tabla 4.1. Múltiplos y submúltiplos usados en electrónica.	105
Tabla 4.2. Valores de voltaje a aplicar a los LEDS, dependiendo del color.	111
Tabla 5.1. Código de Gray.	130
Tabla 5.2. Código de exceso 3.	132
Tabla 5.3. Tabla de caracteres ASCII imprimibles.	133
Tabla 5.4. Extensión de los caracteres en el código ASCII.	134
Tabla 5.5. Ejemplo de matriz para corregir errores.	138
Tabla 5.6. Ejemplo de matriz con error en la fila 3, columna 5.	139
Tabla 5.7. Matriz del ejemplo corregida.	139
Tabla 6.1. Tabla de verdad para la compuerta AND de dos y tres entradas.	152
Tabla 6.2. Tabla de verdad para la compuerta OR de dos y tres entradas.	154

Tabla 6.3. Tabla de verdad para la compuerta YES (búfer).	155
Tabla 6.4. Tabla de verdad para la compuerta NOT (inversor).	157
Tabla 6.5. Tabla de verdad para la compuerta NAND de dos y tres entradas.	158
Tabla 6.6. Tabla de verdad para la compuerta NOR con dos y tres entradas.	160
Tabla 7.1. Tabla de verdad para una compuerta OR-EX de dos entradas.	176
Tabla 7.2. Tabla de verdad para una compuerta OR-EX de tres entradas.	177
Tabla 7.3. Tabla de verdad para una compuerta NOR-EX de dos entradas.	179
Tabla 8.1. Tabla de verdad para el teorema de DeMorgan en NOR.	192
Tabla 8.2. Tabla de verdad para el teorema de DeMorgan en NAND.	192
Tabla 8.3. Tabla de verdad para el ejemplo 4.	197
Tabla 8.4. Forma de hallar los mintérminos de una función.	198
Tabla 8.5. Tabla de verdad para el ejemplo 6.	199
Tabla 9.1. Tabla de verdad del ejemplo 1.	218
Tabla 9.2. Tabla de verdad para la función $F = a'c + b'c'$ y su respectivo mapa de Karnaugh.	219
Tabla 9.3. Tabla de verdad y mapa de Karnaugh del ejemplo 3.	220
Tabla 9.4. Tabla de verdad de la función $F(a, b, c, d) = \Sigma(2, 6, 9, 11, 13, 15)$.	225
Tabla 10.1. Tabla de verdad del sumador medio (<i>half adder</i>).	243
Tabla 10.2. Tabla de verdad del sumador completo (<i>full adder</i>).	244

Tabla 10.3. Tabla de verdad del restador medio.	247
Tabla 10.4. Tabla de verdad del restador completo.	249
Tabla 10.5. Tabla de verdad para diseñar el conversor de código binario a código de Gray.	251
Tabla 10.6. Tabla de verdad para la conversión de BCD natural a BCD Aiken.	254
Tabla 10.7. Tabla de verdad del ejemplo 1 para generar caracteres.	258
Tabla 10.8. Tabla de verdad del corrector BCD del ejemplo 2.	263
Tabla 11.1. Tabla de verdad de un decodificador 3×8 .	274
Tabla 11.2. Tabla de verdad para un MUX de 4×1 con habilitación.	280
Tabla 11.3. Tabla de verdad del ejemplo 3 con MUX.	282
Tabla 11.4. Tabla de verdad para el ejemplo 4 con MUX.	284
Tabla 11.5. Tabla para la distribución de las entradas con la variable W .	284
Tabla 12.1. Tabla de verdad para el FF de RS con NAND.	298
Tabla 12.2. Tabla de verdad del FF RS con compuertas nor.	301
Tabla 12.3. Tabla de verdad para el FF RS.	302
Tabla 12.4. Tabla de verdad simplificada para el FF RS con compuertas NOR.	303
Tabla 12.5. Tabla de estado del FF RS.	303
Tabla 12.6. Tablas de estado y de excitación para el FF RS.	304
Tabla 12.7. Tablas de estado y de excitación del FF D.	306
Tabla 12.8. Tablas de estado y de excitación para el FF JK.	309
Tabla 12.9. Tabla de excitación del FF D y tabla de excitación del ejemplo 4.	327

Tabla 12.10. Tabla de verdad para el ejemplo 4.	328
Tabla 12.11. Tabla de excitación de un contador síncrono BCD.	330
Tabla 12.12. Tabla de verdad para el dado digital.	340
Tabla 12.13. Diagrama de estado, tabla de excitación del FF JK y tabla de excitación de la secuencia del motor paso a paso.	346